

JCS84 U.S. PTO
09/458506



대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1998년 특허출원 제63134호
Application Number

출원년월일 : 1998년 12월 31일
Date of Application

출원인 : 삼성전자주식회사
Applicant(s)

199 9 년 1 월 29 일

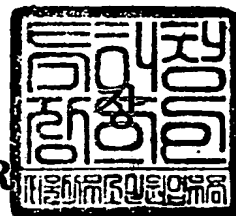


특

허

청

COMMISSIONER



특허출원서

【출원번호】 98-063134

【출원일자】 1998/12/31

【국제특허분류】 G11C

【발명의 국문명칭】 반도체 장치의 레이아웃 방법

【발명의 영문명칭】 Layout method of a semiconductor memory device

【출원인】

【국문명칭】 삼성전자 주식회사

【영문명칭】 SAMSUNG ELECTRONICS CO., LTD

【대표자】 윤종용

【출원인코드】 14001979

【출원인구분】 국내상법상법인

【우편번호】 442-373

【주소】 경기도 수원시 팔달구 매탄3동 416번지

【국적】 KR

【대리인】

【성명】 김능균

【대리인코드】 A401

【전화번호】 02-508-5141

【우편번호】 135-080

【주소】 서울특별시 강남구 역삼동 822-5번지

【발명자】

【국문성명】 강태경

【영문성명】 KANG , Tae Gyoung

【주민등록번호】 671030-1953915

【우편번호】 445-970

【주소】 경기도 화성군 태안읍 안녕리 1-19 대광빌라 디동 404호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

김능균 (인)

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인

김능균 (인)

【수신처】 특허청장 귀하

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 21 면 21,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 28 항 1,005,000 원

【합계】 1,055,000 원

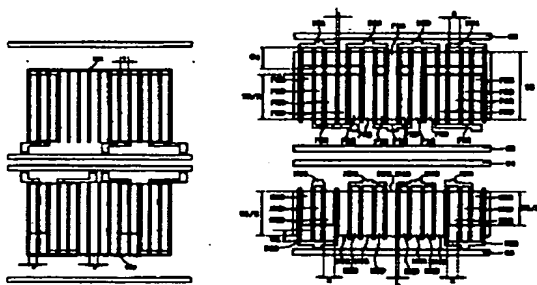
- 【첨부서류】
1. 요약서, 명세서(및 도면) 각 1통
 2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통
 3. 위임장(및 동 번역문)

【요약서】

【요약】

본 발명은 반도체 장치의 레이아웃 방법을 공개한다. 그 방법은 반도체 기판 내에 형성된 적어도 하나이상의 제1전극과 제2전극을 가진 복수개의 트랜지스터들의 액티브 영역들을 배치하는 단계, 복수개의 액티브 영역들 각각의 적어도 하나이상의 제1전극과 제2전극의 사이에 위치하고 반도체 기판위에 소정의 폭과 길이를 가지는 적어도 하나이상의 동일 간격으로 분리된 게이트들을 배치하여 복수개의 트랜지스터들의 게이트들을 배치하는 단계, 및 복수개의 트랜지스터들의 분리된 게이트들의 간격과 동일 간격으로 복수개의 트랜지스터들의 사이(또는, 사이와 외부)에 소정의 폭과 길이를 가지고 반도체 기판위에 배치된 복수개의 더미 게이트들을 배치하는 단계로 이루어져 있다. 따라서, 트랜지스터들의 게이트들의 간격을 더미 게이트들을 사용하여 동일 간격으로 배치함으로써 공정 편차의 변화를 최소화할 수 있다. 그리고, 공정 편차의 변화가 최소화됨에 따라 트랜지스터들의 문턱전압의 변화를 줄임으로써 반도체 장치의 신뢰성을 향상시킬 수 있다.

【대표도】



【명세서】

【발명의 명칭】

반도체 장치의 레이아웃 방법

【도면의 간단한 설명】

도1은 포토 공정에서의 문제점을 설명하기 위한 것이다.

도2는 에칭 공정에서의 문제점을 설명하기 위한 것이다.

도3은 일반적인 반도체 메모리 장치의 실시예의 레이아웃을 나타내는 것이다.

도4는 일반적인 센스 증폭기의 회로도이다.

도5 내지 도10은 종래의 레이아웃 방법에 따른 도4에 나타낸 센스 증폭기의 레이아웃을 나타내는 것이다.

도11은 본 발명의 레이아웃 방법에 따른 일실시예의 도4에 나타낸 센스 증폭기의 레이아웃을 나타내는 것이다.

도12 내지 도17은 본 발명의 레이아웃 방법에 따른 다른 실시예의 도4에 나타낸 센스 증폭기의 레이아웃을 나타내는 것이다.

도18은 종래의 방법과 본 발명의 방법에 의해서 레이아웃한 경우의 공정 편차의 변화를 나타내는 그래프이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 반도체 장치의 레이아웃 방법에 관한 것으로, 특히 포토 공정과 에칭 공정에서 발생할 수 있는 공정 편차의 변화를 줄일 수 있는 반도체 장치의 레이아웃 방법에 관한 것이다.

반도체 장치를 채용하는 시스템의 성능 향상은 반도체 장치의 고속화, 고집적화를 요구하고 있다. 이러한 반도체 장치의 고속화, 고집적화에 따라 레이아웃은 회로 설계 및 공정기술과 더불어 중요성이 증가되고 있다.

그런데, 종래의 반도체 장치의 공정기술중 포토 공정에서의 빛의 반사와 에칭 공정에서의 불균일성으로 인하여 트랜지스터들의 게이트들의 공정 편차의 변화를 유발하게 된다.

공정 편차란 포토 공정 후에 게이트들의 길이의 변화를 측정한 값을 말한다. 따라서, 공정 편차가 변화하게 되면 트랜지스터들의 문턱전압이 변화하게 되고 이러한 문턱전압의 변화로 인하여 설계자가 설계한대로의 동작을 수행할 수가 없게 된다.

그래서, 반도체 장치의 제조시에 이들 공정상에서 발생하는 공정 편차의 변화를 최소화하기 위한 노력이 계속되고 있다.

도1은 반도체 공정중 포토 공정에서의 문제점을 설명하기 위한 것으로, 실리콘(10), 실리콘 다이옥사이드(12), 알루미늄(14), 포토 레지스트(16), 투명 글래스(18), 및 불투명 막(20)을 각각 나타낸다.

도1에 나타낸 바와 같이, 알루미늄(14)위에 포토 레지스트(16)를 덮고 포토 공정을 수행할 때, 알루미늄(14)이 빛을 거의 흡수하지 않고 도1에 나타낸 바와 같

이 반사된다. 그런데, 알루미늄(14)이 경사각(θ)을 가지고 증착이 되기 때문에 경사진 면에서의 빛의 반사로 인해서 원하는 패턴을 형성할 수 없게 된다.

그런데, 종래의 반도체 장치의 레이아웃 방법은 게이트들의 간격이 불규칙적으로 배열되기 때문에 도1에 나타난 경사각(θ)이 일정하지 않게 되고, 그에 따라 빛의 반사각이 달라지게 때문에 형성된 게이트들사이에 공정 편차의 변화가 있게 된다.

도2는 반도체 공정중 에칭 공정상에서의 문제점을 설명하기 위한 것으로, 실리콘(10), 실리콘 다이옥사이드(12), 및 포토 레지스트(16)를 각각 나타낸다.

도2에 나타난 바와 같이 산화막 식각은 원 모양으로 넓어져서 실리콘(10)이 나타날 때까지 계속된다. 즉, 원 모양이 커질수록 포토 레지스트(16)의 언더컷이 심해진다. 언더컷이 일어나는 범위는 포토 레지스트(16)가 제거될 때까지는 알 수가 없으며 산화막 패턴 가장자리의 모양(도2의 점선으로 나타난 모양)은 언더컷의 정도를 나타내는 좋은 척도가 된다. 즉, 에칭 공정상에서의 불균일성으로 인하여 공정 편차의 변화가 발생하게 된다.

즉, 종래의 반도체 장치의 레이아웃 방법은 반도체 장치를 구성하는 트랜지스터들의 게이트들의 간격이 불규칙적으로 배열되기 때문에 포토 공정에서 빛의 반사에 의해서 이들 게이트들간에 공정 편차의 변화를 증가하게 되고, 또한, 에칭 공정에서 에칭의 불균일성에 의해서도 공정 편차의 변화를 증가하게 된다.

또한, 종래의 반도체 메모리 장치의 주변회로의 레이아웃 방법도 일반적인 반도체 장치의 레이아웃 방법과 동일한 방법으로 되기 때문에 포토 공정과 에칭 공

정에서 공정 편차의 변화가 증가하게 된다.

특히, 종래의 반도체 메모리 장치의 센스 증폭기는 입력 신호들의 아주 작은 전압 차를 증폭하여 출력하는 회로로서, 문턱전압의 변화에 아주 민감한 회로이다. 따라서, 이들 센스 증폭기를 구성하는 트랜지스터들의 문턱전압의 미스매치를 제거하는 것은 아주 중요하다. 그런데, 종래의 센스 증폭기의 레이아웃 방법도 일반적인 반도체 장치의 레이아웃 방법과 동일한 방법으로 되기 때문에 포토 공정과 에칭 공정에서 공정 편차의 변화가 증가하게 된다.

즉, 포토 공정상에서 발생한 공정 편차의 변화에 에칭 공정상에서 발생한 공정 편차의 변화가 더해져서 공정 편차의 변화가 더욱 증가하게 되는 문제점이 있다.

상술한 바와 같은 포토 공정과 에칭 공정상의 문제는 이미 알려져 있는 문제점들이고, 이러한 공정상에서의 문제로 인하여 발생하는 게이트들사이의 공정 편차의 변화는 트랜지스터들의 문턱전압의 변화를 초래하기 때문에 이 변화를 최소화할 필요가 있다.

【발명이 이루고자 하는 기술적 과제】

본 발명의 목적은 포토 공정과 에칭 공정에서 발생할 수 있는 공정 편차의 변화를 최소화할 수 있는 반도체 장치의 레이아웃 방법을 제공하는데 있다.

본 발명의 다른 목적은 포토 공정과 에칭 공정에서 발생할 수 있는 공정 편차의 변화를 최소화할 수 있는 반도체 메모리 장치의 주변회로의 레이아웃 방법을 제공하는데 있다.

본 발명의 또 다른 목적은 포토 공정과 에칭 공정에서 발생할 수 있는 공정 편차의 변화를 최소화하여 센스 증폭기를 구성하는 트랜지스터들의 문턱전압의 mismatches를 줄일 수 있는 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법을 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명의 반도체 장치의 레이아웃 방법은 반도체 기판내에 형성된 적어도 하나이상의 제1전극과 제2전극을 가진 복수개의 트랜지스터들의 액티브 영역들을 배치하는 단계, 상기 복수개의 액티브 영역들 각각의 적어도 하나이상의 제1전극과 제2전극의 사이에 위치하고 상기 반도체 기판위에 소정의 폭과 길이를 가지는 적어도 하나이상의 동일 간격으로 분리된 게이트들을 배치하여 상기 복수개의 트랜지스터들의 게이트들을 배치하는 단계, 및 상기 복수개의 트랜지스터들의 분리된 게이트들의 간격과 동일 간격으로 복수개의 트랜지스터들의 사이 또는 사이와 외부에 소정의 폭과 길이를 가지고 상기 반도체 기판위에 배치된 복수개의 더미 게이트들을 배치하는 단계를 구비한 것을 특징으로 한다.

상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 주변회로의 레이아웃 방법은 상기 반도체 장치의 레이아웃 방법에 따라 배치하는 것을 특징으로 한다.

상기 또 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법은 상기 반도체 장치의 레이아웃 방법에 따라 센스 증폭기들을 구성하는 데이터 입력 및 제어신호 입력 트랜지스터들을 배치하는 것을 특징으로 한다.

【발명의 구성 및 작용】

이하, 첨부한 도면을 참조하여 본 발명의 반도체 장치의 레이아웃 방법을 설명하기 전에 종래의 반도체 장치의 레이아웃 방법을 설명하면 다음과 같다.

본 발명의 레이아웃 방법을 일반적인 반도체 메모리 장치의 센스 증폭기를 종래의 방법에 의해서 레이아웃한 도면과 본 발명의 방법에 의해서 레이아웃한 도면의 비교를 통하여 설명하면 다음과 같다.

도3은 일반적인 반도체 메모리 장치의 실시예의 레이아웃을 나타내는 블록도로서, 메모리 셀 어레이 블록들(30-1, 30-2, ..., 30-n), 블록 행 디코더들(32-1, 32-2, ..., 32-n), 비트 라인 프리차지 회로(34), 블록 셀렉터(36), 열 선택 게이트(38), 센스 증폭기/라이트 드라이버(40), 열 디코더(42), 광역 행 디코더(44), 열 어드레스 입력버퍼(46), 데이터 입/출력 버퍼(48), 제어신호 입력 버퍼(50), 및 행 어드레스 입력버퍼(52)로 이루어져 있다.

즉, 반도체 메모리 장치의 레이아웃은 크게 메모리 셀 어레이(30)와 메모리 셀 어레이(30)로의 데이터 입/출력을 제어하기 위한 회로들로 구성된 주변회로로 나누어진다.

그런데, 종래의 반도체 메모리 장치의 주변회로의 레이아웃 방법은 주변회로를 구성하는 트랜지스터들의 게이트들의 간격이 불규칙적으로 배열되어 있었기 때문에 포토 공정과 에칭 공정에서 이 트랜지스터들의 게이트들간의 공정 편차의 변화가 증가하게 된다는 문제점이 있다.

또한, 이러한 공정 편차의 증가는 설계자가 설계한대로의 동작을 수행할 수

없게 된다는 문제점이 있다.

이제, 종래기술과 본 발명의 반도체 메모리 장치의 레이아웃 방법을 주변 회로를 구성하는 회로들중 센스 증폭기를 이용하여 설명하면 다음과 같다.

도4는 일반적인 센스 증폭기의 구성을 나타내는 회로도로서, PMOS트랜지스터들(P1, P2, P3), 및 NMOS트랜지스터들(N1, N2, N3, N4)로 구성되어 있다.

도5 내지 도10은 종래의 레이아웃 방법에 의한 도4의 센스 증폭기의 레이아웃을 나타내는 것이다.

도5는 센스 증폭기를 구성하는 트랜지스터들의 소스, 드레인, 및 게이트의 배치를 나타내는 것이다.

도5에서, PMOS트랜지스터들(P1, P2, P3)의 소스는 P1S, P2S, P3S로, 드레인은 P1D, P2D, P3D로, 게이트는 P1G, P2G, P3G로 각각 나타내고, NMOS트랜지스터들(N1, N2, N3)의 소스는 N1S, N2S, N3S로, 드레인은 N1D, N2D, N3D로, 게이트는 1G, N2G, N3G로 각각 나타내었다. 60, 66으로 표시한 것은 바이어스 라인을, 62, 64로 표시한 것은 전원 라인을 나타낸다. 그리고, W1, W2로 표시한 것은 트랜지스터들의 폭을 L로 표시한 것은 트랜지스터들의 길이를 나타낸다.

우선, PMOS트랜지스터들(P1, P2, P3) 및 NMOS트랜지스터들(N3, N4)의 게이트는 하나의 공통단자로부터 2개로 분리되어 배치되어 있다. 따라서, 이들 트랜지스터들의 소스들도 두 개로 분리되어 배치되어 있다. 그리고, NMOS트랜지스터들(N1, N2)의 게이트의 폭(W1)이 PMOS트랜지스터들(P1, P2, P3) 및 NMOS트랜지스터들(N3, N4)의 게이트의 폭(W2)보다 작고, PMOS트랜지스터들(P1, P2, P3, P4), 및 NMOS트랜

지스터들(N1, N2, N3)의 게이트의 길이(L)는 모두 동일하다.

즉, 도5에 나타낸 바와 같이 종래의 레이아웃 방법은 하나의 트랜지스터를 구성하는 분리된 게이트간의 간격(a)은 모두 동일하지만 각각의 트랜지스터들의 게이트들사이의 간격들(b, c, d)이 불규칙적으로 배열되어 있기 때문에 포토 공정에서의 빛의 반사와 에칭 공정에서의 불균일성 문제로 인하여 공정 편차의 변화가 증가하게 된다.

도6은 도5에 나타낸 레이아웃에 콘택을 형성한 것을 나타내는 것으로, PMOS 트랜지스터들(P1, P2, P3), 및 NMOS트랜지스터들(N1, N2, N3)의 소스, 드레인, 게이트 공통단자, 전원 라인, 및 바이어스 라인에 콘택을 형성한 것을 나타내는 것이다. 도6에서, 네모로 표시한 부분(70)이 콘택 형성 부분이 된다.

도7은 도6에 형성된 콘택에 메탈을 형성한 것을 나타내는 것으로, 콘택이 된 부분(70)과 전원 라인(60, 66)에 전체적으로 메탈(ME1)을 형성한 것을 나타내는 것이다. 도7에서, 가로로 빗금친 부분이 메탈을 형성한 부분이 된다.

도8은 도7에 형성된 메탈에 콘택을 형성한 것을 나타내는 것으로, 도8에서, 진한 네모로 표시한 부분(72)이 콘택 형성 부분이 된다.

도9는 도8에 형성된 콘택에 메탈 라인을 형성한 것을 나타내는 것으로, 세로로 빗금친 부분(ME2)이 메탈 형성 부분이 된다. 즉, 도4에 나타낸 센스 증폭기의 트랜지스터의 게이트, 드레인, 및 소스를 메탈로 연결한 것이다. 도4에서, 메탈 라인(74)은 제어신호(CON) 인가라인들을, 메탈 라인(76)은 입력신호(D) 인가라인들을, 메탈 라인(78)은 입력신호(DB) 인가라인을, 메탈 라인(80)은 PMOS트랜지스터

(P1) 및 NMOS트랜지스터들(N1, N2)의 게이트 연결라인들을 각각 나타내는 것이다.

도10은 도9에 나타낸 메탈 라인(ME2)에 전원전압과 접지전압을 인가하기 위한 메탈(ME3)을 나타내는 것으로, 점으로 표시한 부분이 메탈(ME3)이 형성된 부분이 되고, 격자형으로 표시된 부분(82)은 비아(VIA) 콘택을 나타내는 것으로, 이 부분과 메탈(ME3)이 연결되어 전원전압과 접지전압이 인가된다.

도5를 통하여 종래의 반도체 메모리 장치의 레이아웃 방법상의 문제점을 알 수 있으나, 도6 내지 도10을 개시한 것은 도4에 나타낸 센스 증폭기의 레이아웃을 개략적으로 보여주기 위한 것이다.

도11은 본 발명의 레이아웃 방법에 따른 일실시예의 레이아웃을 나타내는 것으로, 도5에 나타낸 레이아웃에 분리된 게이트들의 간격(a)과 동일한 간격(a)을 가진 더미 게이트들(DG1, DG2)을 센스 증폭기를 구성하는 트랜지스터들의 게이트 사이에 배치하여 구성되어 있다.

도11에서, 더미 게이트들(DG1, DG2)의 공통 라인이 하나로 연결되어 있는데 이들 공통 라인은 적절하게 분리하여 구성할 수도 있다.

이와같이 형성된 더미 게이트들은 센스 증폭기의 회로 동작에는 영향을 미치지 않는다.

도11에 나타낸 게이트 형성 이후의 레이아웃은 도6 내지 도10에 나타낸 종래의 레이아웃 방법에 따라 배치하거나, 다른 방법으로 배치하여도 상관없다.

즉, 도11에 나타낸 본 발명의 센스 증폭기의 레이아웃 방법은 실제 동작을 위하여 형성된 게이트들과 동일 간격의 더미 게이트들을 실제 동작을 위하여 형성

된 게이트들의 사이와 외부에 배치하여 구성되어 있다.

따라서, 반도체 제조 공정중 포토 공정과 에칭 공정에서 발생할 수 있는 공정 편차의 변화를 최소화할 수 있다.

도12 내지 도17은 본 발명의 레이아웃 방법에 따른 도4에 나타낸 센스 증폭기의 다른 실시예의 레이아웃 방법을 설명하기 위한 것이다.

도12는 센스 증폭기를 구성하는 트랜지스터들의 소스, 드레인, 및 게이트의 배치를 나타내는 것이다.

도12에서, PMOS트랜지스터들(P1, P2, P3)의 소스는 P1S, P2S, P3S로, 드레인 P1D, P2D, P3D로, 게이트는 P1G, P2G, P3G로 각각 나타내고, NMOS트랜지스터들(N1, N2, N3)의 소스는 N1S, N2S, N3S로, 드레인 P1D, N2D, N3D로, 게이트는 1G, N2G, N3G로 각각 나타내고, 60, 66으로 표시한 것은 바이어스 라인을, 62, 64로 표시한 것은 전원 라인을 나타낸다. 그리고, DG1, DG2, DG3, DG4, DG5, DG6은 각 트랜지스터들의 사이와 외부에 분리된 게이트간의 간격(a)과 동일한 간격으로 형성된 더미 게이트들을 각각 나타낸다.

우선, PMOS트랜지스터들(P1, P2, P3), 및 NMOS트랜지스터들(N3, N4)의 게이트는 하나의 공통단자로부터 4개로 분리되어 배치되어 있다. 따라서, 이들 트랜지스터들의 소스들은 3개로 분리되고, 드레인들은 2개로 분리되어 배치되어 있다. 그리고, L은 트랜지스터들(P1, P2, P3, P4, N1, N2, N3)의 게이트들, 및 더미 게이트들(DG1, DG2, DG3, DG4, DG5, DG6)의 길이를, $W2/2$ 는 PMOS트랜지스터들(P1, P2, P3) 및 NMOS트랜지스터들(N3, N4)의 게이트들의 폭을, $W1/2$ 는 NMOS트랜지스터들

(N1, N2)의 게이트들의 폭을, W3은 더미 게이트들(DG5, DG6)의 폭을 W4, W5은 더미 게이트들(DG1, DG4)의 폭을, W4는 더미 게이트들(DG2, DG3)의 폭을 각각 나타내는 것이다. 이때, W3와 W4는 W7과 W8의 폭내에서 유동적일 수 있다.

즉, 도12에 나타낸 바와 같이 하나의 트랜지스터를 구성하는 분리된 게이트 간의 간격(a)과 각 트랜지스터들사이의 간격(a)이 모두 동일하다.

도12의 레이아웃은 도5에 나타낸 레이아웃에 더미 게이트들(DG1, DG2, DG3, DG4, DG5, DG6)을 추가하여 배치한 것이 상이하다.

도12에서는 하나의 게이트들이 4개로 분리되는 것을 실시예로서 나타내었으나, 하나의 게이트는 4개이상으로 분리되어 배치되어도 상관없다.

본 발명에서는 공정 편차의 변화를 줄이기 위하여 도12에 나타낸 바와 같이 게이트들을 동일한 간격(a)으로 배치하여 구성하였다.

도13은 도12에 나타낸 레이아웃에 콘택을 형성한 것을 나타내는 것으로, PMOS트랜지스터들(P1, P2, P3), 및 NMOS트랜지스터들(N1, N2, N3)의 소스, 드레인, 및 게이트 공통점과 바이어스 라인에 콘택을 형성한 것을 나타내는 것이다. 도13에서, 네모로 표시한 부분(90)이 콘택 형성 부분이 된다.

도14는 도13에 형성된 콘택에 메탈을 형성한 것을 나타내는 것으로, 콘택이 된 부분과 바이어스 라인(60, 66)에 전체적으로 메탈을 형성한 것을 나타내는 것이다. 도7에서, 가로로 빗금친 부분(ME1)이 메탈을 형성한 부분이 된다.

도15는 도14에 형성된 메탈(ME1)에 콘택을 형성한 것을 나타내는 것으로, 도15에서, 진한 네모로 표시한 부분(92)이 콘택 형성 부분이 된다.

도16은 도15에 형성된 콘택에 메탈 라인을 형성한 것을 나타내는 것으로, 세로로 빗금친 부분(ME2)이 메탈 형성 부분이 된다. 즉, 도4에 나타낸 센스 증폭기의 트랜지스터들간을 메탈 라인으로 연결한 것이다. 그리고, 메탈 라인(94)은 제어신호(CON) 인가라인을, 메탈 라인(96)은 데이터(D) 입력라인을, 메탈 라인(98)은 데이터(DB) 입력라인을, 메탈 라인(100)은 출력신호(OUT) 발생라인을 각각 나타낸다.

도17은 전원 전압 인가라인(102)과 접지전압 인가라인(104)을 각각 나타내는 것이다.

도12에 본 발명의 센스 증폭기의 레이아웃 방법이 도시되어 있고, 도13 내지 도17의 레이아웃은 다른 방법으로 배치되어도 상관없다. 여기에서, 도13 내지 도17을 나타낸 이유는 본 발명의 방법에 의해서 게이트들을 배열하여도 센스 증폭기를 레이아웃할 수 있음을 보여주기 위한 것이다.

즉, 본 발명의 레이아웃 방법은 주변회로를 구성하는 트랜지스터들의 실제 동작을 위하여 형성되는 게이트들의 사이와 외부에 실제 동작에는 무관한 더미 게이트들을 배치하는 것을 특징으로 한다. 그런데, 이들 게이트들이 모두 동일 간격으로 분리되어 배치되기 때문에 포토 공정과 에칭 공정에서 발생할 수 있는 공정 편차의 변화를 최소화할 수 있다.

상술한 실시예에서는 게이트들의 사이와 외부에 더미 게이트들을 배치하는 것을 나타내었지만, 게이트들의 사이에만 더미 게이트들을 배치할 수도 있다.

도18은 종래의 방법과 본 발명의 방법에 의해서 레이아웃한 경우의 공정 편차의 변화를 나타내는 그래프로서, 가로축은 측정된 게이트의 수를 나타내고, 세로

측은 공정 편차(즉, 측정된 게이트들 각각의 길이(μm))를 나타낸다.

종래의 방법과 본 발명의 방법에 의해서 배치하여 제조한 후 17개의 게이트들의 공정 편차를 측정한 결과 종래의 방법에 의해서 배치하였을 경우보다 본 발명의 방법에 의해서 배치하였을 경우의 공정 편차의 변화율이 줄어들었음을 알 수 있다. 아래의 표는 최대, 최소, 및 평균 공정 편차와 변화율을 수치적으로 나타낸 것이다.

표

| | 종래의 방법 | 본 발명의 방법 |
|---------------------------|--------|----------|
| 최대 공정 편차(μm) | 0.234 | 0.221 |
| 최소 공정 편차(μm) | 0.226 | 0.218 |
| 평균 공정 편차(μm) | 0.233 | 0.223 |
| 편차(μm) | 0.008 | 0.003 |

상술한 표로부터, 종래의 방법보다 본 발명의 방법에 의하여 레이아웃하였을 경우에 공정 편차의 변화율이 $0.005\mu\text{m}$ 정도 줄어들었음을 알 수 있다.

상술한 실시예에서, 반도체 메모리 장치의 센스 증폭기의 레이아웃을 보여줌으로써 본 발명의 레이아웃 방법을 설명하였으나, 이러한 레이아웃 방법을 반도체 장치나 반도체 메모리 장치의 주변회로의 레이아웃시에 적용하여 공정 편차를 변화를 최소화할 수 있다.

그리고, 반도체 메모리 장치의 센스 증폭기를 구성하는 데이터가 입력되는 트랜지스터들 및 센스 증폭기 인에이블 신호가 입력되는 트랜지스터들, 즉, 도5에 나타난 회로의 NMOS트랜지스터들(N1, N2, N3, N4)을 본 발명의 레이아웃 방법에 의

해서 레이아웃하게 되면 공정편차의 변화를 줄여 문턱전압의 미스매치를 줄일 수 있게 된다.

즉, 본 발명의 레이아웃 방법은 반도체 장치, 및 반도체 메모리 장치의 주변 회로의 레이아웃시에 이들 회로를 구성하는 트랜지스터들의 게이트들간의 간격을 모두 동일한 간격으로 배치하기 위하여 더미 게이트들을 추가 형성하는 것이다.

따라서, 원래 형성된 게이트들의 사이와 외부(또는 사이)에 동일 간격으로 게이트들을 배치함으로써 포토 공정과 에칭 공정에서 발생할 수 있는 트랜지스터들 사이의 공정 편차의 변화를 최소화할 수 있다.

【발명의 효과】

따라서, 본 발명의 레이아웃 방법은 주변회로를 구성하는 트랜지스터들의 게이트들의 간격을 더미 게이트들을 사용하여 동일한 간격으로 배치함으로써 공정 편차의 변화를 최소화할 수 있다.

그리고, 공정 편차의 변화가 최소화됨에 따라 트랜지스터들의 문턱전압의 변화를 줄임으로써 반도체 메모리 장치의 신뢰성을 향상시킬 수 있다.

【특허청구범위】

【청구항 1】

반도체 기판내에 형성된 적어도 하나이상의 제1전극과 제2전극을 가진 복수개의 트랜지스터들의 액티브 영역들을 배치하는 단계;

상기 복수개의 트랜지스터들의 액티브 영역들 각각의 적어도 하나이상의 제1전극과 제2전극의 사이에 위치하고 상기 반도체 기판위에 소정의 폭과 길이를 가지는 적어도 하나이상의 동일 간격으로 분리된 게이트들을 배치하여 상기 복수개의 트랜지스터들의 게이트들을 배치하는 단계; 및

상기 복수개의 트랜지스터들의 분리된 게이트들의 간격과 동일 간격으로 복수개의 트랜지스터들의 사이에 소정의 폭과 길이를 가지고 상기 반도체 기판위에 배치된 복수개의 더미 게이트들을 배치하는 단계를 구비한 것을 특징으로 하는 반도체 장치의 레이아웃 방법.

【청구항 2】

제1항에 있어서, 상기 게이트의 길이와 상기 더미 게이트의 길이는 동일한 것을 특징으로 하는 반도체 장치의 레이아웃 방법.

【청구항 3】

제1항에 있어서, 상기 복수개의 트랜지스터들의 각각의 적어도 하나이상의 게이트들은

상기 반도체 기판위에 공통 연결된 공통단자를 가지는 것을 특징으로 하는 반도체 장치의 레이아웃 방법.

【청구항 4】

제1항에 있어서, 상기 복수개의 더미 게이트들은
소정수 단위로 공통 연결된 것을 특징으로 하는 반도체 장치의 레이아웃 방법.

【청구항 5】

메모리 셀 어레이; 및

상기 메모리 셀 어레이로의 데이터 입/출력을 제어하기 위한 복수개의 회로 블록들로 구성된 주변 회로를 구비한 반도체 메모리 장치의 주변회로의 적어도 하나 이상의 회로 블록의 레이아웃 방법에 있어서,

반도체 기판내에 형성된 적어도 하나 이상의 제1전극과 제2전극을 가진 복수개의 트랜지스터들의 액티브 영역들을 배치하는 단계;

상기 복수개의 트랜지스터들의 액티브 영역들 각각의 적어도 하나 이상의 제1전극과 제2전극의 사이에 위치하고 상기 반도체 기판위에 소정의 폭과 길이를 가지는 적어도 하나 이상의 동일 간격으로 분리된 게이트들을 배치하여 상기 복수개의 트랜지스터들의 게이트들을 배치하는 단계; 및

상기 복수개의 트랜지스터들의 분리된 게이트들의 간격과 동일 간격으로 복수개의 트랜지스터들의 사이에 소정의 폭과 길이를 가지고 상기 반도체 기판위에 배치된 복수개의 더미 게이트들을 배치하는 단계를 구비한 것을 특징으로 하는 반도체 메모리 장치의 주변 회로의 레이아웃 방법.

【청구항 6】

제5항에 있어서, 상기 더미 게이트는

상기 복수개의 트랜지스터들 각각의 분리된 게이트들의 폭이 서로 다른 경우에 상기 분리된 게이트들중 가장 큰 폭을 가진 게이트의 폭과 일치시키기 위한 소정의 폭을 가진 것을 특징으로 하는 반도체 메모리 장치의 레이아웃 방법.

【청구항 7】

제5항에 있어서, 상기 게이트의 길이와 상기 더미 게이트의 길이는 동일한 것을 특징으로 하는 반도체 메모리 장치의 레이아웃 방법.

【청구항 8】

제5항에 있어서, 상기 복수개의 트랜지스터들의 각각의 적어도 하나이상의 게이트들은

상기 반도체 기판위에 공통 연결된 공통단자를 가지는 것을 특징으로 하는 반도체 메모리 장치의 레이아웃 방법.

【청구항 9】

제5항에 있어서, 상기 복수개의 더미 게이트들은

소정수 단위로 공통 연결되어 있는 것을 특징으로 하는 반도체 메모리 장치의 레이아웃 방법.

【청구항 10】

제1입력 데이터와 제2입력 데이터가 인가되는 데이터 입력 트랜지스터들; 및

제어 신호가 인가되는 하나이상의 제어신호 입력 트랜지스터를 구비하여 상기 제1입력 데이터와 상기 제2입력 데이터의 차를 증폭하여 출력하기 위한 센스 증

폭기를 구비한 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법에 있어서,

반도체 기판내에 형성된 적어도 하나이상의 제1전극과 제2전극을 가진 상기 데이터 및 제어신호 입력 트랜지스터들의 액티브 영역들을 배치하는 단계;

상기 복수개의 트랜지스터들의 액티브 영역들 각각의 적어도 하나이상의 제1 전극과 제2전극의 사이에 위치하고 반도체 기판위에 소정의 폭과 길이를 가지고 형성된 적어도 하나이상의 동일 간격으로 분리된 게이트들을 배치하여 상기 데이터 및 제어신호 입력 트랜지스터들의 게이트들을 배치하는 단계; 및

상기 데이터 및 제어신호 입력 트랜지스터들의 분리된 게이트들의 간격과 동일 간격으로 상기 데이터 및 제어신호 입력 트랜지스터들의 사이에 소정의 폭과 길이를 가지고 상기 반도체 기판위에 배치된 소정수의 더미 게이트들을 배치하는 단계를 구비한 것을 특징으로 하는 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법.

【청구항 11】

제10항에 있어서, 상기 더미 게이트는

상기 데이터 및 제어신호 입력 트랜지스터들 각각의 분리된 게이트들의 폭이 서로 다른 경우에 상기 분리된 게이트들중 가장 큰 폭을 가진 게이트의 폭과 일치시키기 위한 소정의 폭을 가진 것을 특징으로 하는 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법.

【청구항 12】

제10항에 있어서, 상기 게이트의 길이와 상기 더미 게이트의 길이는 동일한

것을 특징으로 하는 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법.

【청구항 13】

제10항에 있어서, 상기 데이터 및 제어신호 입력 트랜지스터들의 각각의 적어도 하나이상의 게이트들은

상기 반도체 기판위에 공통 연결된 공통단자를 가지는 것을 특징으로 하는 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법.

【청구항 14】

제10항에 있어서, 상기 복수개의 더미 게이트들은

소정수 단위로 공통 연결되어 있는 것을 특징으로 하는 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법.

【청구항 15】

반도체 기판내에 형성된 적어도 하나이상의 제1전극과 제2전극을 가진 복수개의 트랜지스터들의 액티브 영역들을 배치하는 단계;

상기 복수개의 트랜지스터들의 액티브 영역들 각각의 적어도 하나이상의 제1전극과 제2전극의 사이에 위치하고 상기 반도체 기판위에 소정의 폭과 길이를 가지는 적어도 하나이상의 동일 간격으로 분리된 게이트들을 배치하여 상기 복수개의 트랜지스터들의 게이트들을 배치하는 단계; 및

상기 복수개의 트랜지스터들의 분리된 게이트들의 간격과 동일 간격으로 복수개의 트랜지스터들의 사이와 외부에 소정의 폭과 길이를 가지고 상기 반도체 기판위에 배치된 복수개의 더미 게이트들을 배치하는 단계를 구비한 것을 특징으로

하는 반도체 장치의 레이아웃 방법.

【청구항 16】

제15항에 있어서, 상기 게이트의 길이와 상기 더미 게이트의 길이는 동일한 것을 특징으로 하는 반도체 장치의 레이아웃 방법.

【청구항 17】

제15항에 있어서, 상기 복수개의 트랜지스터들의 각각의 적어도 하나이상의 게이트들은

상기 반도체 기판위에 공통 연결된 공통단자를 가지는 것을 특징으로 하는 반도체 장치의 레이아웃 방법.

【청구항 18】

제15항에 있어서, 상기 복수개의 더미 게이트들은

소정수 단위로 공통 연결되어 있는 것을 특징으로 하는 반도체 장치의 레이아웃 방법.

【청구항 19】

메모리 셀 어레이; 및

상기 메모리 셀 어레이로의 데이터 입/출력을 제어하기 위한 복수개의 회로 블록들로 구성된 주변 회로를 구비한 반도체 메모리 장치의 주변회로의 적어도 하나이상의 회로 블록의 레이아웃 방법에 있어서,

반도체 기판내에 형성된 적어도 하나이상의 제1전극과 제2전극을 가진 복수개의 트랜지스터들의 액티브 영역들을 배치하는 단계;

상기 복수개의 트랜지스터들의 액티브 영역들 각각의 적어도 하나이상의 제1 전극과 제2전극의 사이에 위치하고 상기 반도체 기판위에 소정의 폭과 길이를 가지는 적어도 하나이상의 동일 간격으로 분리된 게이트들을 배치하여 상기 복수개의 트랜지스터들의 게이트들을 배치하는 단계; 및

상기 복수개의 트랜지스터들의 분리된 게이트들의 간격과 동일 간격으로 복수개의 트랜지스터들의 사이에 소정의 폭과 길이를 가지고 상기 반도체 기판위에 배치된 복수개의 더미 게이트들을 배치하는 단계를 구비한 것을 특징으로 하는 반도체 메모리 장치의 레이아웃 방법.

【청구항 20】

제19항에 있어서, 상기 더미 게이트는

상기 복수개의 트랜지스터들 각각의 분리된 게이트들의 폭이 서로 다른 경우에 상기 분리된 게이트들중 가장 큰 폭을 가진 게이트의 폭과 일치시키기 위한 소정의 폭을 가진 것을 특징으로 하는 반도체 메모리 장치의 레이아웃 방법.

【청구항 21】

제19항에 있어서, 상기 게이트의 길이와 상기 더미 게이트의 길이는 동일한 것을 특징으로 하는 반도체 메모리 장치의 레이아웃 방법.

【청구항 22】

제19항에 있어서, 상기 복수개의 트랜지스터들의 각각의 적어도 하나이상의 게이트들은

상기 반도체 기판위에 공통 연결된 공통단자를 가지는 것을 특징으로 하는

반도체 메모리 장치의 레이아웃 방법.

【청구항 23】

제19항에 있어서, 상기 복수개의 더미 게이트들은
소정수 단위로 공통 연결되어 있는 것을 특징으로 하는 반도체 메모리 장치
의 레이아웃 방법.

【청구항 24】

제1입력 데이터와 제2입력 데이터가 인가되는 데이터 입력 트랜지스터들; 및
제어 신호가 인가되는 하나이상의 제어신호 입력 트랜지스터를 구비하여 상
기 제1입력 데이터와 상기 제2입력 데이터의 차를 증폭하여 출력하기 위한 센스 증
폭기를 구비한 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법에 있어서,

반도체 기판내에 형성된 적어도 하나이상의 제1전극과 제2전극을 가진 상기
데이터 및 제어신호 입력 트랜지스터들의 액티브 영역들을 배치하는 단계;

상기 복수개의 트랜지스터들의 액티브 영역들 각각의 적어도 하나이상의 제1
전극과 제2전극의 사이에 위치하고 반도체 기판위에 소정의 폭과 길이를 가지고 형
성된 적어도 하나이상의 동일 간격으로 분리된 게이트들을 배치하여 상기 데이터
및 제어신호 입력 트랜지스터들의 게이트들을 배치하는 단계; 및

상기 데이터 및 제어신호 입력 트랜지스터들의 분리된 게이트들의 간격과 동
일 간격으로 상기 데이터 및 제어신호 입력 트랜지스터들의 사이에 소정의 폭과 길
이를 가지고 상기 반도체 기판위에 배치된 소정수의 더미 게이트들을 배치하는 단
계를 구비한 것을 특징으로 하는 반도체 메모리 장치의 센스 증폭기의 레이아웃 방

법.

【청구항 25】

제24항에 있어서, 상기 더미 게이트는

상기 데이터 및 제어신호 입력 트랜지스터들 각각의 분리된 게이트들의 폭이 서로 다른 경우에 상기 분리된 게이트들중 가장 큰 폭을 가진 게이트의 폭과 일치시키기 위한 소정의 폭을 가진 것을 특징으로 하는 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법.

【청구항 26】

제24항에 있어서, 상기 게이트의 길이와 상기 더미 게이트의 길이는 동일한 것을 특징으로 하는 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법.

【청구항 27】

제24항에 있어서, 상기 데이터 및 제어신호 입력 트랜지스터들의 각각의 적어도 하나이상의 게이트들은

상기 반도체 기판위에 공통 연결된 공통단자를 가지는 것을 특징으로 하는 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법.

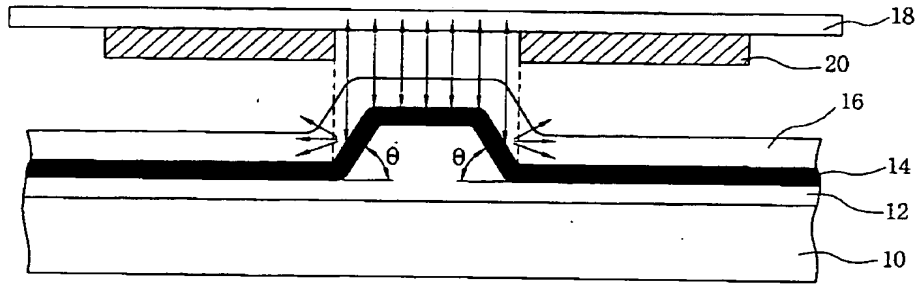
【청구항 28】

제24항에 있어서, 상기 복수개의 더미 게이트들은

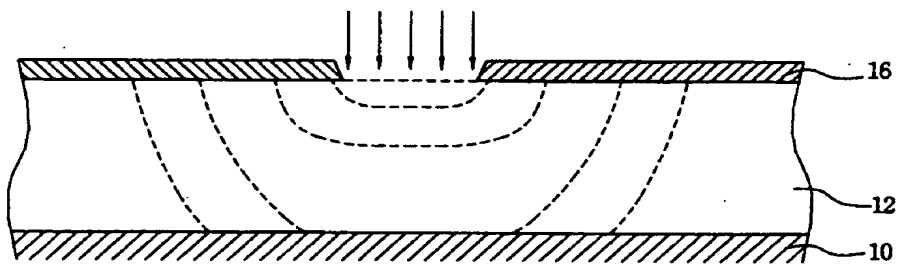
소정수 단위로 공통 연결되어 있는 것을 특징으로 하는 반도체 메모리 장치의 센스 증폭기의 레이아웃 방법.

【도면】

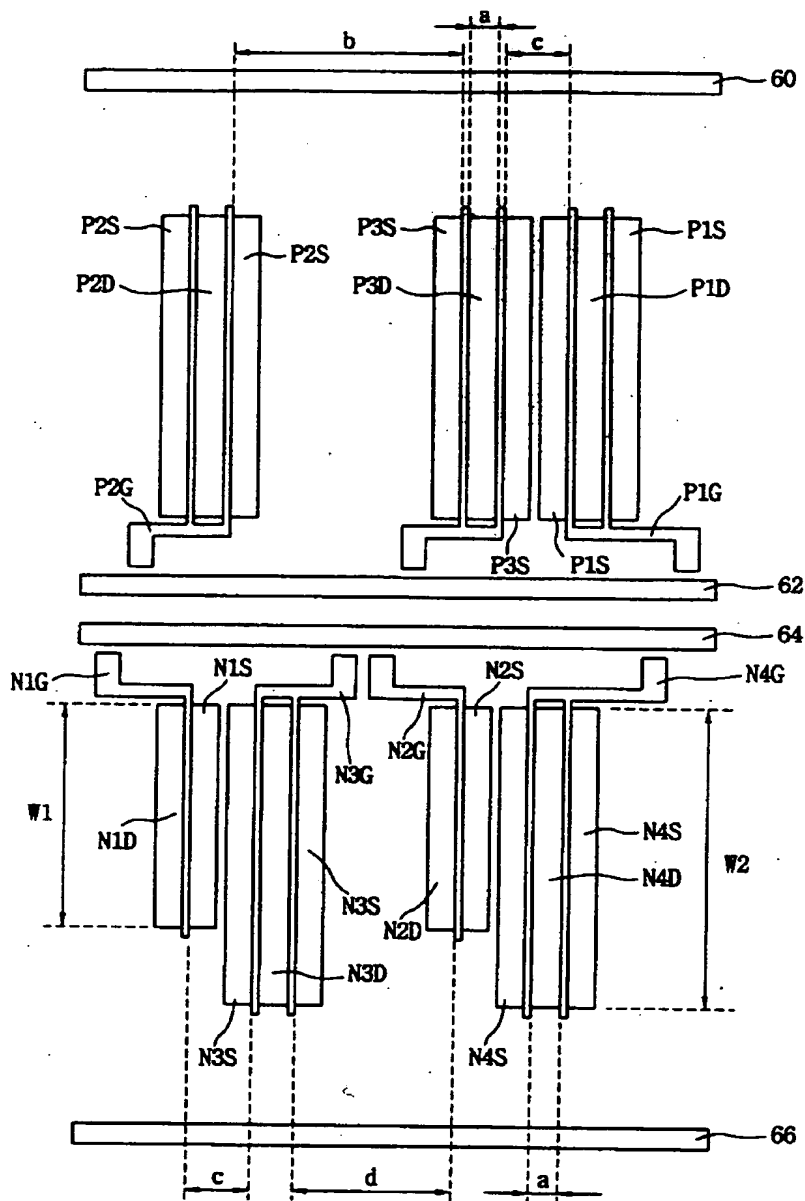
【도 1】



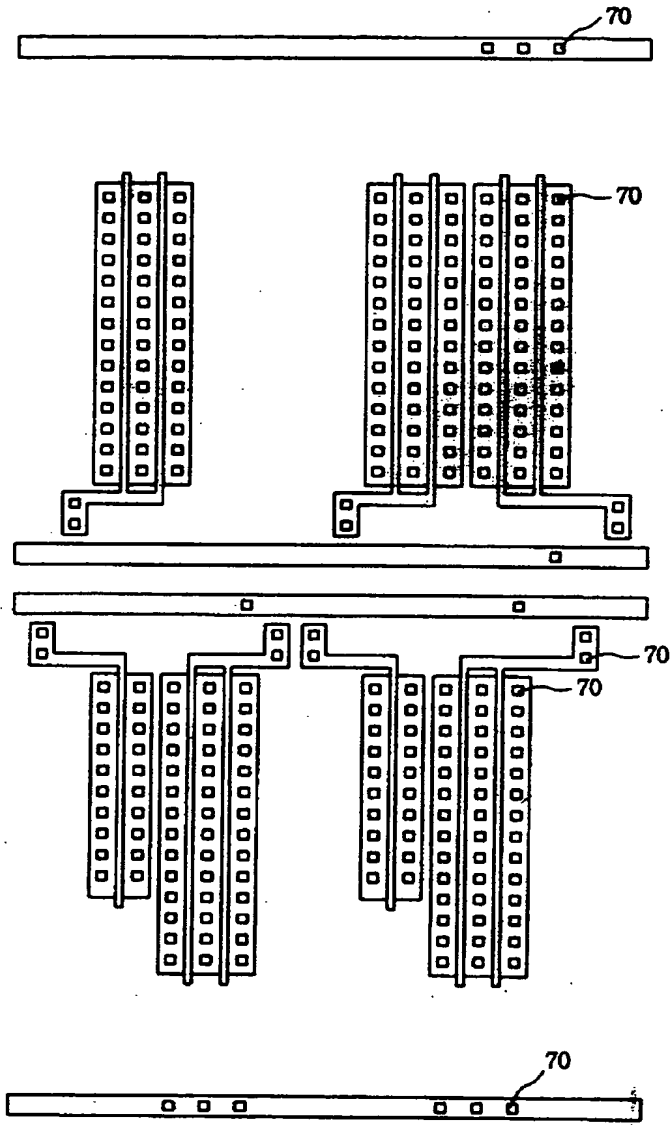
【도 2】



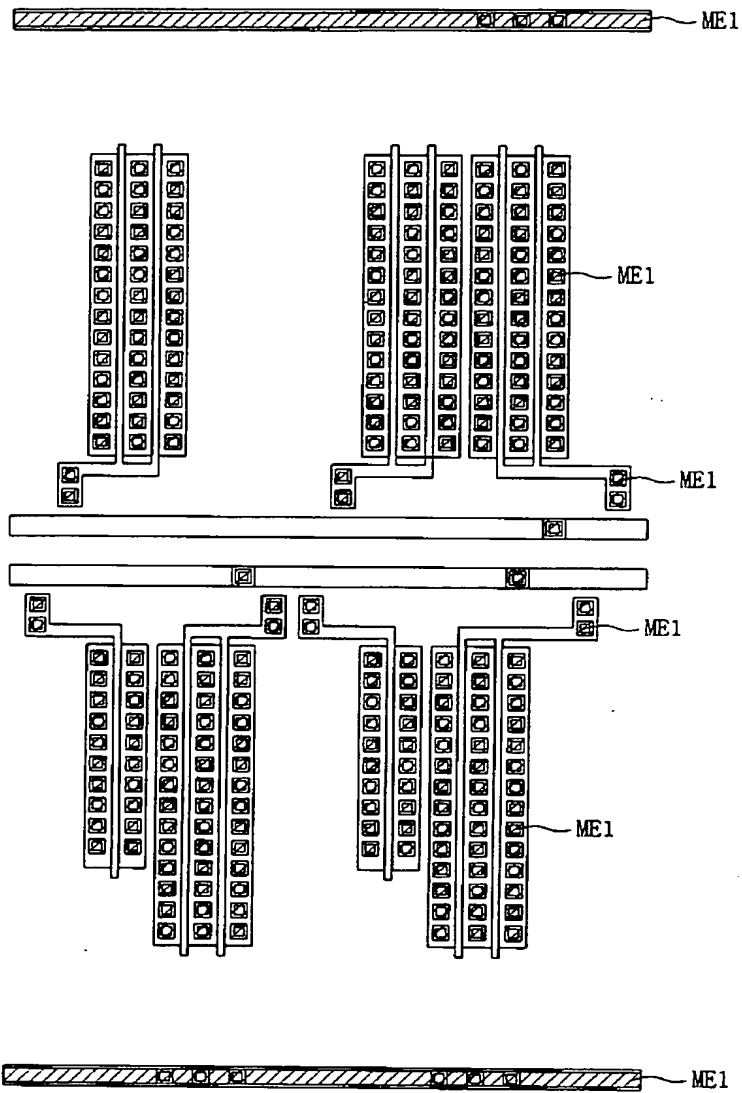
【도 3】



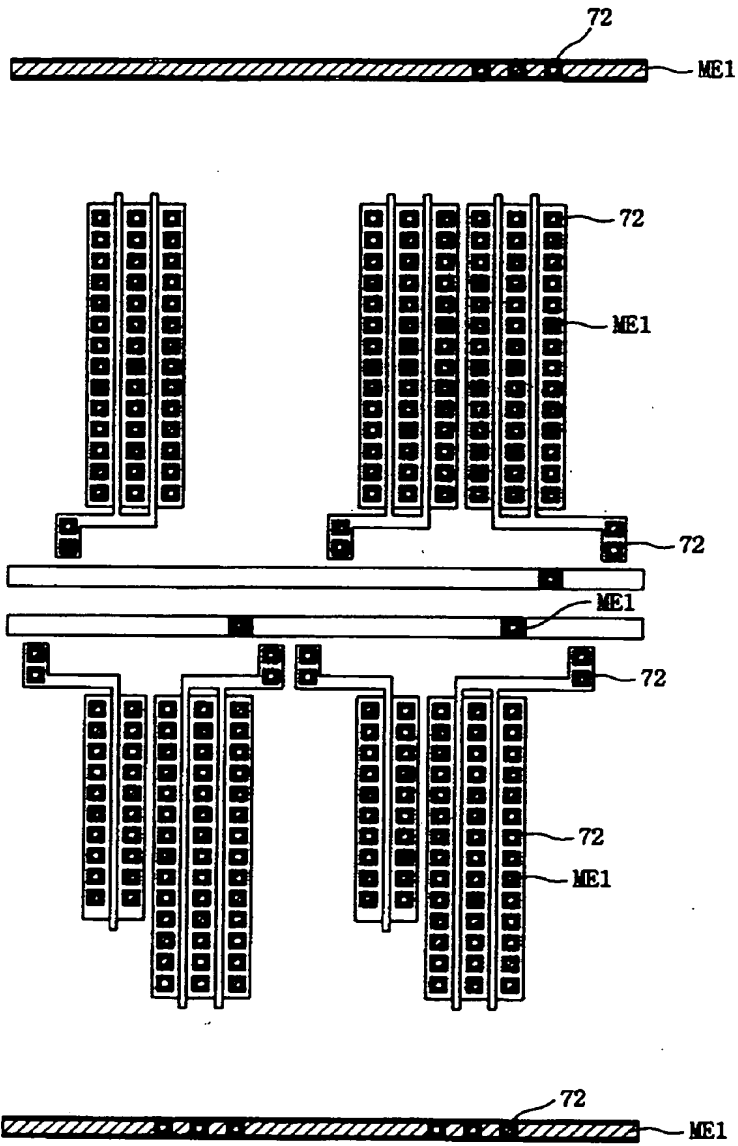
【도 6】



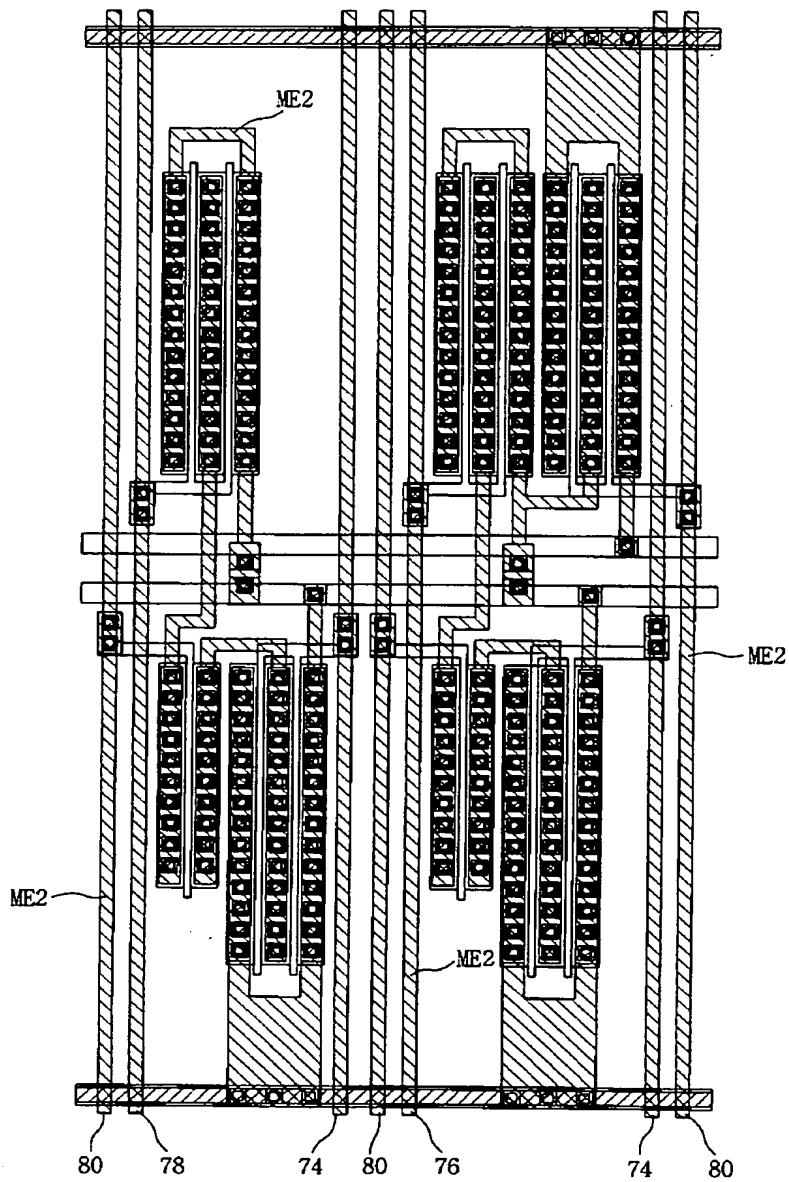
【도 7】



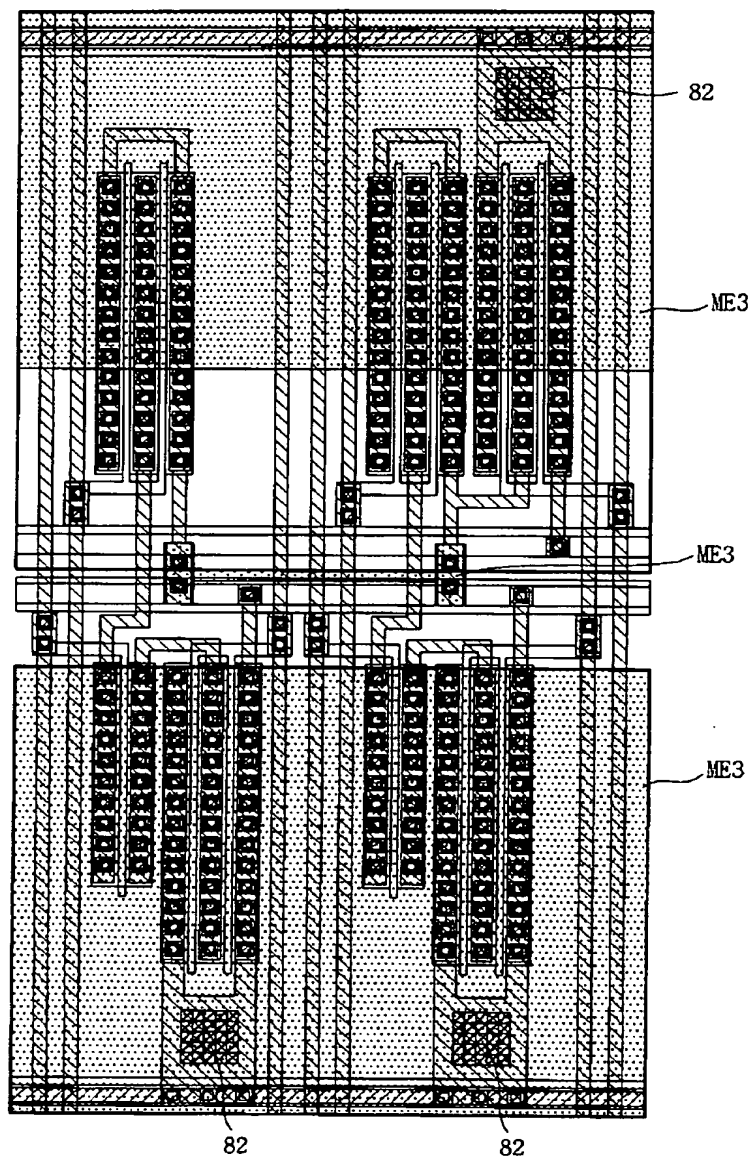
【도 8】



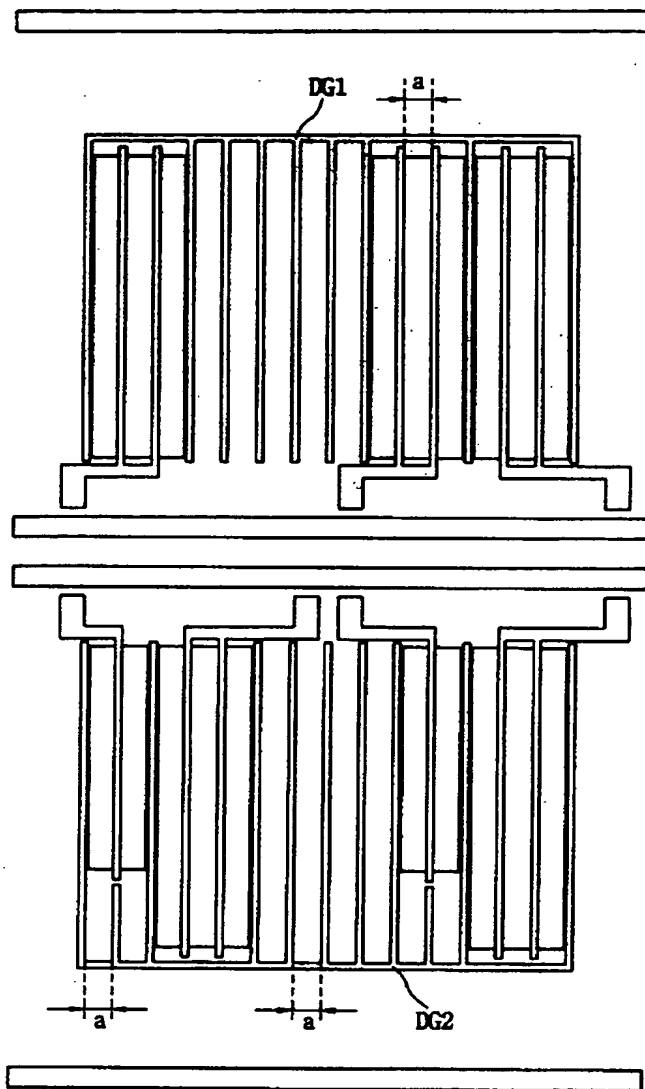
【도 9】



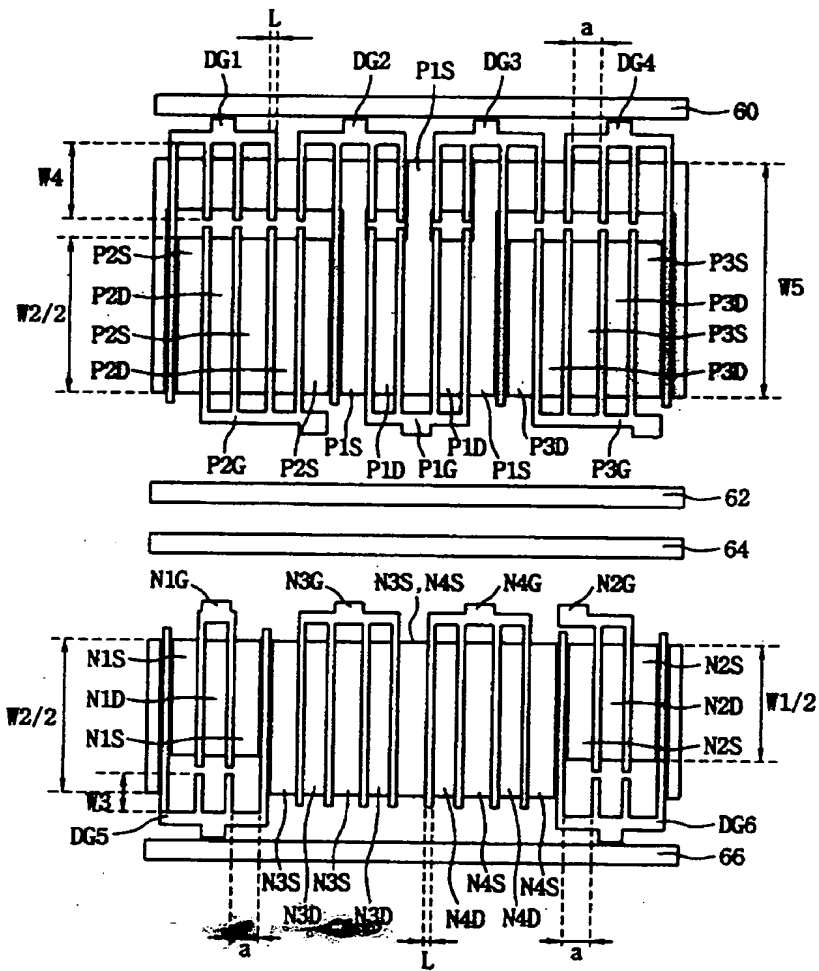
【도 10】



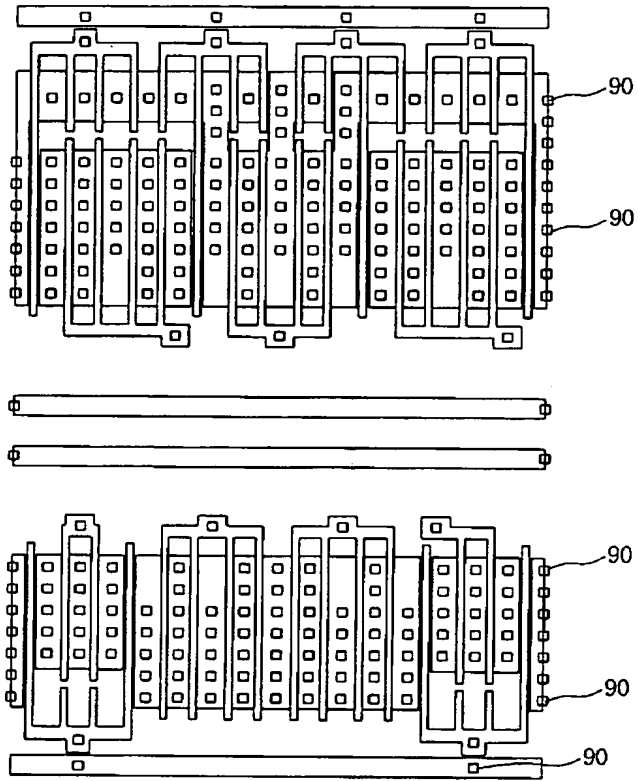
【図 11】



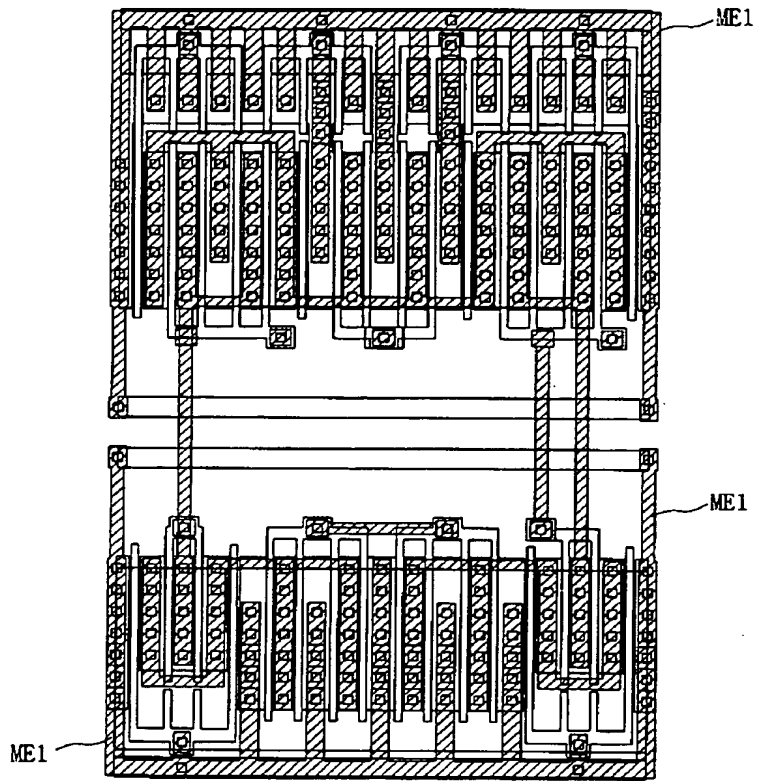
【図 12】



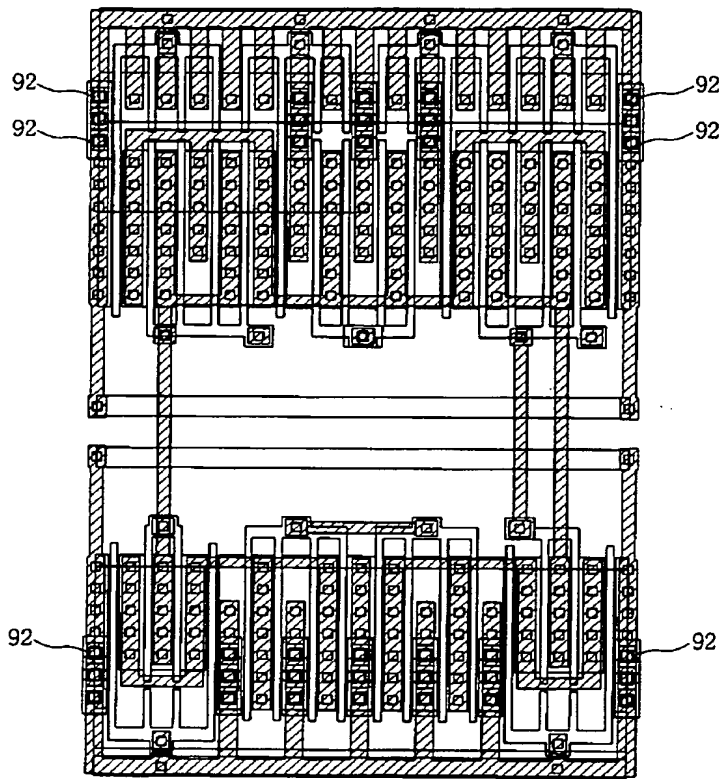
【図 13】



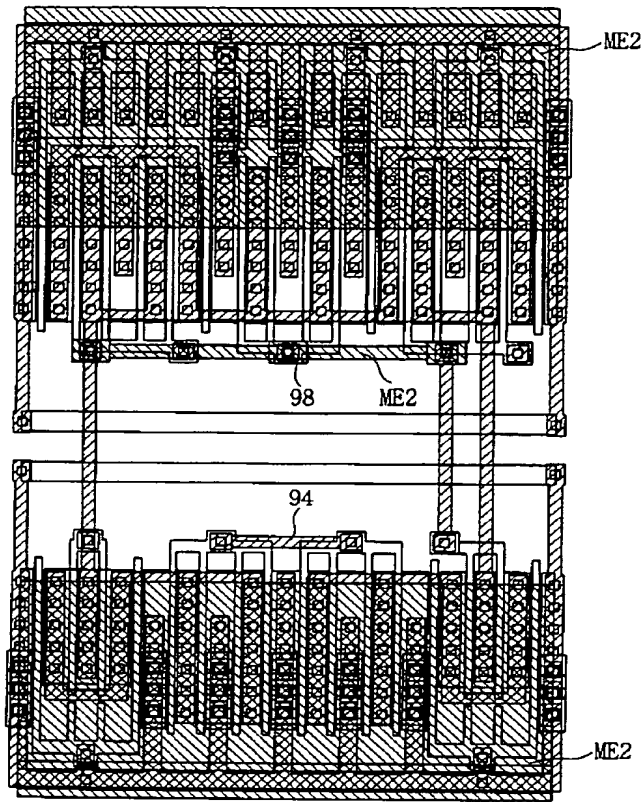
【도 14】



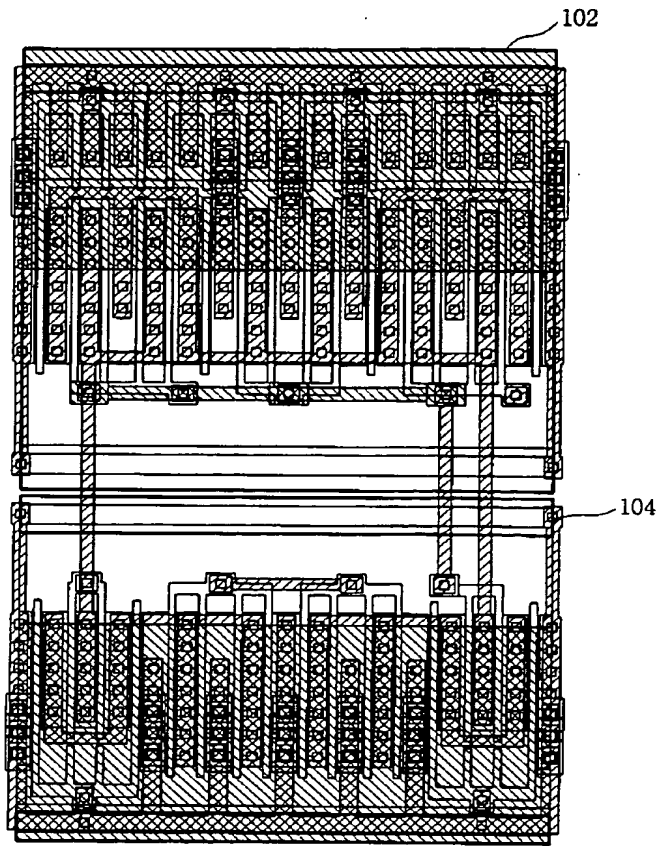
【図 15】



【도 16】



【図 17】



【도 18】

